



日本国特許庁
JAPAN PATENT OFFICE

57810-095
Takeda et al.
March 30, 104
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月31日
Date of Application:

出願番号 特願2003-093431
Application Number:

[ST. 10/C] : [JP2003-093431]

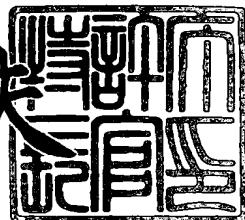
出願人 三洋電機株式会社
Applicant(s):

出願人
三洋電機株式会社
代表者
今井 康夫
印

2004年 2月10日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 NPC1030009

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/335

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号

三洋電機株式会社内

【氏名】 小田 真弘

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号

三洋電機株式会社内

【氏名】 武田 安弘

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号

三洋電機株式会社内

【氏名】 金田 和博

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100104433

【弁理士】

【氏名又は名称】 宮園 博一

【手数料の表示】

【予納台帳番号】 073613

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項1】 主表面を有する第1導電型の半導体領域と、
前記半導体領域の主表面に形成された第2導電型の不純物領域とを備え、
前記第1導電型の半導体領域と前記第2導電型の不純物領域との接合界面を跨
ぐように、フッ素および炭素の少なくともいずれか1つの元素が導入されている
、半導体装置。

【請求項2】 第1導電型の半導体領域の主表面に第2導電型の不純物領域
を形成する第1の工程と、

前記第2導電型の不純物領域と前記第1導電型の半導体領域との接合界面を跨
ぐように、フッ素および炭素の少なくともいずれか1つの元素を導入する第2の
工程とを含む、半導体装置の製造方法。

【請求項3】 前記第1の工程において、前記第2導電型の不純物領域を形
成する工程は、ソース／ドレイン領域として、低濃度不純物領域と高濃度不純物
領域とを形成する工程を含み、

前記第2の工程において、フッ素および炭素の少なくともいずれか1つの元素は
、少なくとも前記第1導電型の半導体領域と前記高濃度不純物領域との接合界面
を跨ぐように導入される、請求項2に記載の半導体装置の製造方法。

【請求項4】 前記第2の工程は、イオン注入法を用いてフッ素を導入する
ものであり、且つ前記イオン注入時における注入量を $1.5 \times 10^{15} \text{ cm}^{-2}$ 以上
 $3 \times 10^{15} \text{ cm}^{-2}$ 以下に設定する、請求項2又は3に記載の半導体装置の製造方
法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置および半導体装置の製造方法に関し、特に、p n接合
を有する半導体装置および半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

近年、半導体装置の高集積化に伴って、MOSトランジスタなどの微細化が進められている。スケーリング則に従ってMOSトランジスタを微細化した場合、半導体基板の不純物濃度が増大するので、半導体基板内に形成されるMOSトランジスタのソース／ドレイン領域のpn接合における寄生容量の増大を招く。このように寄生容量が増大すると、MOSトランジスタの動作速度が低下するという不都合が生じる。このため、半導体集積回路の高速化を実現する上で、寄生容量の低減が非常に重要となってきている。

【0003】

そこで、従来、半導体基板の不純物と同じ導電型の不純物を、pn接合界面近傍に注入することによって、pn接合の寄生容量を低減する方法が提案されている（例えば、特許文献1参照）。

【0004】

上記特許文献1では、ゲート電極をマスクとして、第1導電型の半導体基板の不純物と同じ第1導電型の不純物を注入することによって、第2導電型のソース／ドレイン領域を構成する高濃度不純物領域の下部周辺に、第1導電型の低濃度不純物領域を形成する。これにより、第2導電型のソース／ドレイン領域の高濃度不純物領域のpn接合界面近傍の不純物濃度差が低減されるので、寄生容量が低減される。

【0005】

【特許文献1】

特開平5-102477号公報

【発明が解決しようとする課題】

しかしながら、近年では、トランジスタサイズの縮小に伴って、MOSトランジスタのゲート電極の厚みが、非常に小さくなっている。このため、上記特許文献1のように、ゲート電極をマスクとして第1導電型の不純物を注入すると、第1導電型の不純物がゲート電極を突き抜けてゲート電極下の第1導電型のチャネル領域にも注入されるという不都合が生じる。その結果、チャネル領域の不純物濃度が変動するため、トランジスタのしきい値電圧が変動してしまうという

問題点がある。

【0006】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、しきい値電圧の変動が小さく、且つ第1導電型の半導体領域と第2導電型の不純物領域との接合界面近傍の寄生容量が低い半導体装置を提供することである。

【0007】

この発明のもう1つの目的は、しきい値電圧の変動を抑制しながら、第1導電型の半導体領域と第2導電型の不純物領域との接合界面近傍の寄生容量を低減することが可能な半導体装置の製造方法を提供することである。

【0008】

【課題を解決するための手段】

上記目的を達成するために、請求項1における半導体装置は、主表面を有する第1導電型の半導体領域と、前記半導体領域の主表面に形成された第2導電型の不純物領域とを備え、前記第1導電型の半導体領域と前記第2導電型の不純物領域との接合界面を跨ぐように、フッ素および炭素の少なくともいずれか1つの元素が導入されていることをその要旨とする。

【0009】

請求項2における半導体装置の製造方法は、第1導電型の半導体領域の主表面に第2導電型の不純物領域を形成する第1の工程と、前記第2導電型の不純物領域と前記第1導電型の半導体領域との接合界面を跨ぐように、フッ素および炭素の少なくともいずれか1つの元素を導入する第2の工程と、を含むことをその要旨とする。

【0010】

請求項3による半導体装置の製造方法は、請求項2に記載の発明において、前記第1の工程において、前記第2導電型の不純物領域を形成する工程は、ソース／ドレイン領域として、低濃度不純物領域と高濃度不純物領域とを形成する工程を含み、前記第2の工程において、フッ素および炭素の少なくともいずれか1つの元素は、少なくとも前記第1導電型の半導体領域と前記高濃度不純物領域との

接合界面を跨ぐように導入されることをその要旨とする。

【0011】

請求項4による半導体装置の製造方法は、請求項2又は3に記載の発明において、前記第2の工程は、イオン注入法を用いてフッ素を導入するものであり、且つ前記イオン注入時における注入量を $1.5 \times 10^{15} \text{ cm}^{-2}$ 以上 $3 \times 10^{15} \text{ cm}^{-2}$ 以下に設定することをその要旨とする。

【0012】

【発明の実施の形態】

以下、本発明の実施形態を図面に基いて説明する。

【0013】

(第1実施形態)

図1は、本発明の第1実施形態による半導体装置（pチャネルMOSトランジスタ）の構造を示した断面図である。まず、図1を参照して、第1実施形態による半導体装置の構造について説明する。

【0014】

第1実施形態による半導体装置では、図1に示すように、n型単結晶シリコン基板1の主表面の所定領域に、隣接する素子形成領域（活性領域）間を分離するためのSTI（Shallow Trench Isolation）構造を有する素子分離2aおよび2bが形成されている。なお、n型単結晶シリコン基板1は、本発明の「第1導電型の半導体領域」の一例である。素子分離2aおよび2bで挟まれた素子形成領域には、チャネル領域1aを挟むように、所定の間隔を隔てて、一対のソース／ドレイン領域5が形成されている。このpチャネルMOSトランジスタのソース／ドレイン領域5は、低濃度不純物領域5aと高濃度不純物領域5bとからなるLDD（Lightly Doped Drain）構造を有する。なお、このソース／ドレイン領域5は、本発明における「第2導電型の不純物領域」の一例である。チャネル領域1a上には、約2nm～約10nmの厚みを有するSiO₂膜からなるゲート絶縁膜3を介して、約150nm～約200nmの多結晶シリコン層からなるゲート電極4が形成されている。一対のp型のソース／ドレイン領域5とゲート絶縁膜3とゲート電極4とによって

、 p チャネルMOSトランジスタが構成されている。

【0015】

ここで、この第1実施形態では、ソース／ドレイン領域5を構成する高濃度不純物領域5bとn型単結晶シリコン基板1との接合界面を跨ぐようにフッ素が導入されたフッ素領域6が形成されている。このフッ素領域6は、n型単結晶シリコン基板1の主表面と平行な方向に、少なくともソース／ドレイン領域5を構成する低濃度不純物領域5aの下方にまで延びるように形成されている。

【0016】

ゲート電極4の側面には、シリコン酸化物からなる絶縁膜で構成されたサイドウォールスペーサ7が形成されている。ゲート電極4の上面上およびソース／ドレイン領域5を構成する高濃度不純物領域5bの上面上には、それぞれ、CoSi₂からなるシリサイド膜9aおよび9bが形成されている。

【0017】

また、全面を覆うように、約1000nmの厚みを有するシリコン酸化膜からなる層間絶縁膜10が形成されている。この層間絶縁膜は、それぞれ、シリサイド膜9aおよび9bに達するコンタクトホール10aおよび10bを有する。コンタクトホール10aおよび10b内には、それぞれ、タンゲステンからなるプラグ11aおよび11bが埋め込まれている。プラグ11aおよび11bにそれぞれ接続するように、配線12aおよび12bが形成されている。なお、配線12aおよび12bは、下層から上層に向かって、約30nmの厚みを有するTi層と、約30nmの厚みを有するTiN層と、約400nmの厚みを有するAlCu層とからなる。

【0018】

この第1実施形態による半導体装置では、上記のように、p型のソース／ドレイン領域5を構成する高濃度不純物領域5bの下部（p-n接合部）周辺に、フッ素が導入されたフッ素領域6を設けることによって、フッ素領域6付近のシリコン基板1の比誘電率が、n型単結晶シリコン基板1中の活性領域における比誘電率と比較して小さくなる。

【0019】

一方、p-n接合界面近傍に生じる寄生容量C_dは、一般的に、次の式（1）で表される。

【0020】

【数1】

$$C_d = \frac{\epsilon_0 \epsilon_s}{X_d} \dots \dots (1)$$

ここで ϵ_0 は、真空の誘電率、 ϵ_s は、シリコンの比誘電率、 X_d は、p-n接合の空乏層の幅である。また、 X_d は、次の式（2）で表される。

【0021】

【数2】

$$X_d = \sqrt{\frac{2 \epsilon_0 \epsilon_s}{qN_B} (V_{bi} + V_{bs})} \dots \dots (2)$$

ここで、qは、電荷素量、N_Bは、空乏層付近の基板濃度、V_{bi}は、ビルトインポテンシャル、V_{bs}は、基板バイアス電圧（ソース基板間電圧）をそれぞれ示す。これらの式を用いると、次の式（3）が導出される。

【0022】

【数3】

$$C_d = \sqrt{\epsilon_s} \cdot \frac{\sqrt{\epsilon_0}}{\sqrt{\frac{2}{qN_B} (V_{bi} + V_{bs})}} \dots \dots (3)$$

上記式（3）に示すように、p-n接合界面近傍に生じる寄生容量C_dは、シリコン基板の比誘電率 ϵ_s の平方根に比例することが分かる。すなわち、p-n接合付近にフッ素イオンをイオン注入することにより、シリコン基板の比誘電率 ϵ_s が小さくなるので、p-n接合部分に生じる寄生容量C_dを低減することができる。なお、上記式（3）において、寄生容量C_dは、空乏層付近の基板濃度N_Bに依存するが、フッ素イオンは、ドナーやアクセプタとはならないため、フッ素イオン注入による基板濃度N_Bの変化は考慮する必要がない。

【0023】

図2は、p n接合付近へのフッ素イオン (F^+) の注入量を変化させたときの寄生容量の変化を示す実測データである。図2から分かるように、 $1.5 \times 10^{15} \text{ cm}^{-2}$ ～ $3 \times 10^{15} \text{ cm}^{-2}$ のフッ素イオン注入により、p n接合の寄生容量を3%程度低減することができている。

【0024】

第1実施形態による半導体装置では、上記のように、ソース／ドレイン領域5を構成する高濃度不純物領域5bの下部（p n接合部）周辺にフッ素イオンを導入したフッ素領域6を設けることにより、フッ素領域6の比誘電率が小さくなるため、寄生容量を低減することができる。

【0025】

図3～図11は、図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。図1、図3～図11を参照して、第1実施形態による半導体装置（pチャネルMOSトランジスタ）の製造プロセスについて説明する。

【0026】

まず、図3に示すように、n型単結晶シリコン基板1の主表面の所定領域に、活性領域を分離するためのSTI構造を有する素子分離2aおよび2bを形成する。この後、n型単結晶シリコン基板1の表面を酸化することによって、シリコン酸化膜からなる犠牲酸化膜41を形成する。

【0027】

次に、図4に示すように、上記した犠牲酸化膜41を介して、n型単結晶シリコン基板1に、砒素（As）を、約 100 keV ～約 140 keV の注入エネルギーおよび約 $0.5 \times 10^{12} \text{ cm}^{-2}$ ～約 $4 \times 10^{12} \text{ cm}^{-2}$ の注入量でイオン注入する。これにより、チャネル領域1aの不純物濃度を調整し、しきい値電圧の最適化を行う。この後、犠牲酸化膜41を除去する。

【0028】

次に、図5に示すように、約 800°C ～約 900°C で熱酸化することにより、n型単結晶シリコン基板1の表面に、約 2 nm ～約 10 nm の厚みを有するシリ

コン酸化膜からなるゲート絶縁膜3を形成する。この後、CVD法により、全面にその多結晶シリコン膜（図示せず）を約150nm～約200nmの厚みで堆積した後、通常のフォトリソグラフィー工程とRIE（Reactive Ion Etching）によるエッチング技術とを用いて、その多結晶シリコン膜をパターンニングする。これにより、多結晶シリコン膜からなるゲート電極4を形成する。上記したエッチングにより、ゲート絶縁膜3は、大きなダメージを受ける。そこで、この後、ゲート絶縁膜3を再酸化する。

【0029】

次に、図6に示すように、ゲート電極4をマスクとして、n型単結晶シリコン基板1の主表面に、p型の不純物であるボロン（B）を、約5keV～約10keVの注入エネルギーおよび約 $2 \times 10^{14} \text{ cm}^{-2}$ ～約 $10 \times 10^{14} \text{ cm}^{-2}$ の注入量でイオン注入することによって、チャネル領域1aを挟むように低濃度不純物領域（ソース／ドレイン・エクステンション領域）5aを形成する。

【0030】

次に、図7に示すように、全面にフッ素（F）を、約20keVの注入エネルギーおよび約 $3 \times 10^{15} \text{ cm}^{-2}$ の注入量でイオン注入することによって、フッ素が導入されたフッ素領域6が形成される。

【0031】

次に、CVD法を用いて、全面にシリコン酸化物などからなる絶縁膜（図示せず）を堆積した後、その絶縁膜をRIE法を用いてエッチバックすることによって、図8に示すように、ゲート電極4の側面にサイドウォールスペーサ7を形成する。なお、上記したエッチバックの際に、ゲート絶縁膜3のうち、ゲート電極4およびサイドウォールスペーサ7の直下にある領域以外のゲート絶縁膜3は除去される。

【0032】

次に、図9に示すように、全面に、約5nm～約20nmの厚みを有するシリコン窒化膜8を堆積する。このシリコン窒化膜8は、後工程で行うソース／ドレイン領域を構成する高濃度不純物領域5bを形成するためのイオン注入の際に、チャネリングを防止するために形成する。

【0033】

次に、図10に示すように、シリコン塗化膜8を介して、n型単結晶シリコン基板1に、ボロン（B）を約5keV～約10keVの注入エネルギーおよび約 $2 \times 10^{15} \text{ cm}^{-2}$ ～約 $10 \times 10^{15} \text{ cm}^{-2}$ の注入量でイオン注入にすることにより、ソース／ドレイン領域を構成する高濃度不純物領域5bを形成する。このとき、フッ素が導入されたフッ素領域6は、高濃度不純物領域5bとn型単結晶シリコン基板1との接合界面を跨ぐようになる。

【0034】

その後、RTA（R a p i d T h e r m a l A n n e a l i n g）法により、約700°C～約1100°Cで、約0.1秒～約60秒間の熱処理を行うことによって、高濃度不純物領域5bに注入した不純物（B）を活性化する。

【0035】

また、上記ボロンのイオン注入により高濃度不純物領域5bを形成した際、フッ素領域6が、高濃度不純物領域5bとn型単結晶シリコン基板1との接合界面を跨いでいなくても、このRTAによる活性化工程により、高濃度不純物領域5bとフッ素領域6とが広がって、結果としてフッ素領域6が、高濃度不純物領域5bとn型単結晶シリコン基板1との接合界面を跨ぐようになる。

【0036】

なお、上記した低濃度不純物領域5aと高濃度不純物領域5bとによって、LD（L i g h t l y D o p e d D r a i n）構造の一対のソース／ドレイン領域が形成される。この後、シリコン塗化膜8を除去する。

【0037】

次に、図11に示すように、サリサイド（s e l f - a l i g n e d s i l i c i d e）プロセスを用いて、多結晶シリコンからなるゲート電極4の上面上と、ソース／ドレイン領域を構成する高濃度不純物領域5bの上面上とに、それぞれ、自己整合的に、コバルトシリサイド（C o S i₂）からなるシリサイド膜9aおよび9bを形成する。

【0038】

この後、図1に示したように、CVD法を用いて層間絶縁膜10を形成した後

、所定の領域に、フォトリソグラフィ技術とR I Eなどのドライエッチング技術とを用いてコンタクトホール10aおよび10bを形成する。このコンタクトホール10aおよび10b内にCVD法でタングステンを埋め込むことにより、プラグ11aおよび11bを形成する。最後に、層間絶縁膜10の上面に、下層から上層に向かって、約30nmの厚みを有するTi層と、約30nmの厚みを有するTiN層と、約400nmの厚みを有するAlCu層とからなる積層膜を形成した後、この積層膜をパターニングすることにより、上層配線12aおよび12bを形成する。このようにして、第1実施形態によるpチャネルMOSトランジスタ（半導体装置）が完成する。

【0039】

この第1実施形態では、上記のように、p型のソース／ドレイン領域5を構成する高濃度不純物領域5bとn型単結晶シリコン基板1との接合界面を跨ぐよう フッ素が導入されたフッ素領域6を設けることによって、ソース／ドレイン領域を構成する高濃度不純物領域5bの下部周辺（p n接合部分）の寄生容量を低減することができる。

【0040】

また、この第1実施形態では、フッ素の導入方法として、イオン注入法を用いていることによって、n型単結晶シリコン基板1の所定領域に精度よくフッ素を導入することができる。これにより、ソース／ドレイン領域のp n接合部分の寄生容量をばらつきなく低減することができる。

【0041】

図12は、p n接合付近へのフッ素イオン（F⁺）の注入量を変化させたときのpチャネルMOSトランジスタのしきい値電圧の変動を示す実測データである。この測定条件において、フッ素はチャネル領域まで到達している。通常、しきい値電圧変動の許容範囲は、しきい値調整のために行われるイオン注入の注入量の誤差およびゲート絶縁膜の膜厚のばらつきを考慮すると±50mVである。図12より、約1.5×10¹⁵cm⁻²～3×10¹⁵cm⁻²の注入量でフッ素イオンを注入した場合のしきい値電圧の変動は3.5mV以下であり、フッ素イオン注入によるしきい値の変動が実質的に問題とならないのは明らかである。

【0042】

従って、この第1実施形態では、ゲート電極4をマスクとして行うイオン注入の際に、ゲート電極4の厚みが薄いためにフッ素がゲート電極4下のチャネル領域1aに到達したとしても、pチャネルMOSトランジスタしきい値電圧の変動により問題が生じることはない。

【0043】

以上のように、この第1実施形態では、pチャネルMOSトランジスタのしきい値電圧の変動を抑制しながら、ソース／ドレイン領域のp-n接合部分の寄生容量をばらつきなく低減することができる。

【0044】

(第2実施形態)

図13は、本発明の第2実施形態による半導体装置(CMOSインバータ)の構造を示した断面図である。図13を参照して、この第2実施形態による半導体装置では、本発明を、nチャネルMOSトランジスタとpチャネルMOSトランジスタを相補的に機能させたCMOSインバータに適用した例について説明する。

【0045】

第2実施形態による半導体装置では、図13に示すように、p型単結晶シリコン基板21の主表面の所定領域に、隣接する素子形成領域(活性領域)間を分離するためのSTI(Shallow Trench Isolation)構造を有する素子分離22a、22bおよび22cが形成されている。また、p型単結晶シリコン基板21のnチャネルMOSトランジスタが形成される領域には、pウェル領域14aが形成されており、pチャネルMOSトランジスタが形成される領域には、nウェル領域14bが形成されている。なお、これらpウェル領域14a、nウェル領域14bは、本発明の「第1導電型の半導体領域」の一例である。また、pウェル領域14a内には、チャネル領域21aを挟むように、所定の間隔を隔てて、一対のソース／ドレイン領域25が形成されている。このnチャネルMOSトランジスタのソース／ドレイン領域25は、低濃度不純物領域25aと高濃度不純物領域25bとからなるLDD(Lightly Doped

ed Drain) 構造を有する。なお、このソース／ドレイン領域25は、本発明における「第2導電型の不純物領域」の一例である。チャネル領域21a上には、約2nm～約10nmの厚みを有するSiO₂膜からなるゲート絶縁膜23を介して、約150nm～約200nmの多結晶シリコン層からなるゲート電極24aが形成されている。一对のn型のソース／ドレイン領域25とゲート絶縁膜23とゲート電極24aとによって、nチャネルMOSトランジスタが形成されている。

【0046】

また、nウェル領域14b内には、チャネル領域21aを挟むように、所定の間隔を隔てて、一对のソース／ドレイン領域35が形成されている。このpチャネルMOSトランジスタのソース／ドレイン領域35は、低濃度不純物領域35aと高濃度不純物領域35bとからなるLDD (Lightly Doped Drain) 構造を有する。なお、このソース／ドレイン領域35は、本発明における「第2導電型の不純物領域」の一例である。チャネル領域21b上には、約2nm～約10nmの厚みを有するシリコン酸窒化物からなるゲート絶縁膜23を介して、約150nm～約200nmの多結晶シリコン層からなるゲート電極24bが形成されている。一对のn型のソース／ドレイン領域35とゲート絶縁膜23とゲート電極24bとによって、pチャネルMOSトランジスタが形成されている。

【0047】

ここで、この第2実施形態では、nチャネルMOSトランジスタのソース／ドレイン領域25を構成する高濃度不純物領域25bの下部 (p-n接合部) 周辺およびpチャネルMOSトランジスタのソース／ドレイン領域35を構成する高濃度不純物領域35bの下部 (p-n接合部) 周辺には、それぞれ、フッ素が導入されたフッ素領域26aおよび26bが形成されている。このフッ素領域26aおよび26bは、p型単結晶シリコン基板21の主表面と平行な方向に、少なくともソース／ドレイン領域25および35を構成する低濃度不純物領域25aおよび35aの下方にまで延びるように形成されている。

【0048】

また、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタを構成するゲート電極24aおよび24bの側面には、シリコン酸化物などからなる絶縁膜で構成されたサイドウォールスペーサ27がそれぞれ形成されている。ゲート電極24aおよび24bの上面上およびソース／ドレイン領域25および35を構成する高濃度不純物領域25bおよび35bの上面上には、それぞれ、CoSi2からなるシリサイド膜29aおよび29bが形成されている。

【0049】

また、全面を覆うように、約1000nmの厚みを有するシリコン酸化膜からなる層間絶縁膜30が形成されている。この層間絶縁膜30は、それぞれ、シリサイド膜29aおよび29bに達するコンタクトホール30a、30b、30cおよび30dを有する。コンタクトホール30a、30b、30cおよび30d内には、それぞれ、タンゲステンからなるプラグ31a、31b、31cおよび31dが埋め込まれている。プラグ31a、31b、31cおよび31dにそれぞれ接続するように配線32aおよび32bが形成されている。なお、配線32aおよび32bは、下層から上層に向かって、約30nmの厚みを有するTi層と、約30nmの厚みを有するTiN層と、約400nmの厚みを有するAlCu層とからなる。

【0050】

上記したnチャネルMOSトランジスタのn型のソース／ドレイン領域25と、pチャネルMOSトランジスタのソース／ドレイン領域35とは、プラグ31bとプラグ31dと上層配線32bとを介して接続されている。また、nチャネルMOSトランジスタのゲート電極24aと、pチャネルMOSトランジスタのゲート電極24bとは、プラグ31aと31dと上層配線32aと更に上層に位置する図示しない配線とを介して接続されている。これにより、CMOSインバータが構成されている。

【0051】

この第2実施形態による半導体装置では、上記のように、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタのソース／ドレイン領域25および35を構成する高濃度不純物領域25bおよび35bの下部周辺に、それぞ

れ、フッ素が導入されたフッ素領域26aおよび26bを設けることによって、このフッ素領域26aおよび26b付近の比誘電率が、pウェル領域14aおよびnウェル領域14bにおける比誘電率と比較して小さくなる。従って、この第2実施形態による半導体装置では、nチャネルMOSトランジスタのn型のソース／ドレイン領域25bと、pチャネルMOSトランジスタのp型のソース／ドレイン領域35bとのpn接合界面の寄生容量を共に低減することができる。

【0052】

図14～図26は、図13に示した本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。図13～図26を参照して、この第2実施形態による半導体装置（CMOSインバータ）の製造プロセスについて説明する。

【0053】

まず、図14に示すように、p型単結晶シリコン基板21の主表面の所定領域に、活性領域を分離するためのSTI構造を有する素子分離22a、22bおよび22cを形成する。この後、p型単結晶シリコン基板21の表面を酸化することによって、シリコン酸化膜からなる犠牲酸化膜41を形成する。

【0054】

次に、図15に示すように、nチャネルMOSトランジスタが形成される領域がマスクされるように、リソグラフィ技術を用いてレジスト膜15aを形成する。この後、レジスト膜15aをマスクとして、上記した犠牲酸化膜41を介して、p型単結晶シリコン基板21に、リン（P）を、約380keVの注入エネルギーおよび約 $4 \times 10^{13} \text{ cm}^{-2}$ の注入量でイオン注入することによって、nウェル領域14bを形成する。更に、砒素（As）を、約100keV～約140keVの注入エネルギーおよび約 $0.5 \times 10^{12} \text{ cm}^{-2}$ ～約 $4 \times 10^{12} \text{ cm}^{-2}$ の注入量でイオン注入することによって、チャネル領域21bの不純物濃度を調整することにより、しきい電圧の最適化を行う。この後、レジスト膜15aを除去する。

【0055】

次に、図16に示すように、pチャネルMOSトランジスタが形成される領域がマスクされるように、リソグラフィ技術を用いてレジスト膜15bを形成する

。この後、上記した犠牲酸化膜41を介して、p型単結晶シリコン基板21に、ボロン（B）を、約190keVの注入エネルギーおよび約 $4 \times 10^{13} \text{ cm}^{-2}$ の注入量でイオン注入することによって、pウェル領域14aを形成する。更に、ボロン（B）を、約10keV～約30keVの注入エネルギーおよび約 $1 \times 10^{12} \text{ cm}^{-2}$ ～約 $5 \times 10^{12} \text{ cm}^{-2}$ の注入量でイオン注入することによって、チャネル領域21aの不純物濃度を調整することにより、しきい値電圧の最適化を行う。この後、レジスト膜15bを除去する。

【0056】

この後、RTA法により、約800°C～約1000°Cで、約1秒～約30秒間の熱処理を行うことによって、チャネル領域21aおよび21bの不純物を活性化する。

【0057】

次に、図17に示すように、NO雰囲気中でアニールすることにより、p型単結晶シリコン基板21の表面に、約2nm～約10nmの厚みを有するシリコン酸化物からなるゲート絶縁膜23を形成する。この後、CVD法により、全面に多結晶シリコン膜（図示せず）を約150nm～約200nmの厚みで堆積した後、通常のフォトリソグラフィー工程とRIE（R e a c t i v e I o n E t c h i n g）によるエッチング技術とを用いて、その多結晶シリコン膜をパターンニングする。これにより、多結晶シリコン膜からなるゲート電極24aおよび24bを形成する。上記したエッチングにより、ゲート絶縁膜3は、大きなダメージを受ける。そこで、この後、ゲート絶縁膜3を再酸化する。

【0058】

次に、図18に示すように、pチャネルMOSトランジスタが形成される領域にレジスト膜16aを形成する。その後、pウェル領域14aの主表面に、リン（P）を約30keVの注入エネルギー、約 $0.5 \times 10^{13} \text{ cm}^{-2}$ ～約 $3 \times 10^{13} \text{ cm}^{-2}$ の注入量、約7度の入射角で、p型単結晶シリコン基板21を90度ずつ回転させながら4回イオン注入する。これにより、nチャネルMOSトランジスタのソース／ドレイン領域を構成する低濃度不純物領域35a（ソース／ドレイン・エクステンション領域）を形成する。この後、レジスト膜16aを除去する

【0059】

次に、図19に示すように、nチャネルMOSトランジスタが形成される領域にレジスト膜16bを形成する。その後、pウェル領域14aの主表面に2フッ化ホウ素(BF₂)を約15keVの注入エネルギー、約 $1 \times 10^{13} \text{ cm}^{-2}$ ～約 $7 \times 10^{13} \text{ cm}^{-2}$ の注入量、約7度の入射角で、p型単結晶シリコン基板21を90度ずつ回転させながら4回イオン注入することによって、pチャネルMOSトランジスタのソース／ドレイン領域を構成する低濃度不純物領域35aを形成する。この後、レジスト膜16bを除去することによって図20に示す状態となる。

【0060】

次に、図21に示すように、全面に、フッ素(F)を約20keVの注入エネルギーおよび約 $3 \times 10^{15} \text{ cm}^{-2}$ の注入量でイオン注入する。これにより、pウェル領域14aおよびnウェル領域14bにフッ素が導入されたフッ素領域26aおよび26bが形成される。

【0061】

次に、CVD法を用いて、全面に、シリコン酸化物などからなる絶縁膜(図示せず)を堆積した後、その絶縁膜をRIE法を用いてエッチバックすることによって、図22に示すように、ゲート電極24aおよび24bの側面に、サイドウォールスペーサ27を形成する。なお、上記したエッチバックの際に、ゲート絶縁膜23のうち、ゲート電極24a、24bおよびサイドウォールスペーサ27の直下にある領域以外は除去される。

【0062】

次に、図23に示すように、全面に、約5nm～約20nmの厚みを有するシリコン窒化膜8を堆積する。このシリコン窒化膜8も、第1実施形態と同様、後工程で行われるイオン注入の際のチャネリングを防止する機能を有する。

【0063】

次に、図24に示すように、pチャネルMOSトランジスタが形成される領域にレジスト膜17aを形成する。その後、p型単結晶シリコン基板21に、砒素

(As) を約4.5 keVの注入エネルギーおよび約 $1 \times 10^{15} \text{ cm}^{-2}$ ～約 $8 \times 10^{15} \text{ cm}^{-2}$ の注入量でイオン注入によりnチャネルMOSトランジスタのソース／ドレイン領域25を構成するn型の高濃度不純物領域25bを形成する。

【0064】

その後、レジスト膜17aを除去する。

【0065】

次に、図25に示すように、nチャネルMOSトランジスタが形成される領域にレジスト膜17bを形成して、ボロン(B)を約7keVの注入エネルギーおよび約 $3 \times 10^{15} \text{ cm}^{-2}$ ～約 $10 \times 10^{15} \text{ cm}^{-2}$ の注入量でイオン注入により、p型のソース／ドレイン領域35を構成するp型の高濃度不純物領域35bを形成する。このとき、フッ素が導入されたフッ素領域26bは、高濃度不純物領域35bとnウェル領域14bとの接合界面を跨ぐようになる。

【0066】

その後、レジスト膜17bを除去する。

【0067】

そして、RTA (R a p i d T h e r m a l A n n e a l i n g) 法で約700°C～約1100°Cで、約0.1秒～約60秒間の熱処理を行うことによって、高濃度不純物領域25bに注入した砒素(As)および高濃度不純物領域35bに注入したボロン(B)を活性化する。

【0068】

また、上記高濃度不純物領域25b, 35bを形成した際、フッ素領域26aや26bが、高濃度不純物領域25bとpウェル領域14aとの接合界面や高濃度不純物領域35bとnウェル領域14bとの接合界面を跨いでいなくても、このRTAによる活性化工程により、高濃度不純物領域25b, 35bとフッ素領域26a, 26bとが広がって、結果としてフッ素領域26a, 26bが、高濃度不純物領域25bとpウェル領域14aとの接合界面や高濃度不純物領域35bとnウェル領域14bとの接合界面を跨ぐようになる。

【0069】

上記した低濃度不純物領域25aおよび35aと高濃度不純物領域25bおよび35bとによって、LDD (Lightly Doped Drain) 構造の一対のソース／ドレイン領域25および35が構成される。

【0070】

この後、シリコン窒化膜8を除去する。そして、図26に示すように、サリサイド (self-aligned silicide) プロセスを用いて、多結晶シリコンからなるゲート電極24aおよび24bの上面と、ソース／ドレイン領域を構成する高濃度不純物領域25bおよび35bの上面とに、それぞれ自己整合的に、コバルトシリサイド (CoSi₂) 膜29aおよび29bを形成する。

【0071】

この後、図13に示したように、CVD法を用いて層間絶縁膜30を形成した後、所定領域に、フォトリソグラフィ技術とRIEなどのドライエッチング技術とを用いて、コンタクトホール30a、30b、30cおよび30dを形成する。このコンタクトホール30a、30b、30cおよび30d内にCVD法でタンゲステンを埋め込むことにより、プラグ31a、31b、31cおよび31dを形成する。最後に、層間絶縁膜30の上面に、下層から上層に向かって、約30nmの厚みを有するTi層と、約30nmの厚みを有するTiN層と、約400nmの厚みを有するAlCu層とからなる積層膜を形成した後、この積層膜をパターニングすることにより、上層配線32aおよび32bを形成する。このようにして、第2実施形態によるCMOSインバータ（半導体装置）が完成する。

【0072】

この第2実施形態では、上記のように、フッ素領域26a、26bが、高濃度不純物領域25bとpウェル領域14aとの接合界面や高濃度不純物領域35bとnウェル領域14bとの接合界面を跨いでいるので、第1実施形態と同様に、ソース／ドレイン領域を構成する高濃度不純物領域25bおよび35bの下部周辺 (p-n接合部分) の寄生容量を低減することができる。

【0073】

また、この第2実施形態では、フッ素の導入方法として、イオン注入法を用いているため、pウェル領域14aやnウェル領域14bの所定個所に精度よくフッ素を導入することができる。これにより、第1実施形態と同様に、ソース／ドレイン領域のp-n接合部分の寄生容量をばらつきなく低減することができる。

【0074】

更に、この第2実施形態でも、ゲート電極24aおよび24bをマスクとして行うイオン注入の際に、ゲート電極24aおよび24bの厚みが薄いためにフッ素がゲート電極24aおよび24b下のチャネル領域21aおよび21bに到達したとしても、pチャネルMOSトランジスタしきい値電圧の変動により問題が生じることはない。従って、CMOSインバータの信頼性を高めることができる。

【0075】

なお、今回開示された実施形態は、全ての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内での全ての変更が含まれる。

【0076】

例えば、上記第1実施形態では、pチャネルMOSトランジスタの形成方法について説明したが、本発明はこれに限らず、nチャネルMOSトランジスタについて、本発明を適用しても良い。

【0077】

また、上記実施形態では、フッ素を導入することにより寄生容量を低減したが、本発明はこれに限らず、炭素を導入しても良い。炭素は、フッ素と同様、シリコンと結合を形成する元素であり、シリコンよりも質量が軽く、さらにドナーやアクセプタにならないため、シリコン基板の比誘電率を低減することができる。実際、SiCの比誘電率は、7程度であり、Siの比誘電率11程度よりもよりも低い。従って、p-n接合に生じる寄生容量を低減することができる。さらに、フッ素と炭素との両方を導入しても、同様の効果を得ることができる。

【0078】

また、上記実施形態では、フッ素を約20keVの注入エネルギーおよび約3×

10^{15} cm^{-2} の注入量でイオン注入することによってフッ素が導入されたフッ素領域を形成したが、約5 keV～約30 keVの注入エネルギーおよび約 $1.5 \times 10^{15} \text{ cm}^{-2}$ ～約 $3.0 \times 10^{15} \text{ cm}^{-2}$ の注入量でイオン注入することによってフッ素領域を形成するようにしても良い。このようにすれば、しきい値電圧が許容範囲を超えて変動することはない。

【0079】

また、第1実施形態では、図7に示すように低濃度不純物領域5a形成後に、全面に、フッ素をイオン注入しているが、低濃度不純物領域5a形成後以外の段階でイオン注入しても良い。例えば、図3に示す素子分離2aおよび2b形成前でも良く、図4に示すしきい値調整のための砒素（As）をイオン注入する前、もしくはイオン注入した後でも良い。更に、図5に示すゲート電極4形成前、あるいは図10に示す高濃度不純物領域5b形成後でも良い。全面に、フッ素をイオン注入する以外にも、イオン注入マスクを形成してn型単結晶シリコン基板1の一部にイオン注入しても良い。

【0080】

また、第2実施形態では、図21に示すように低濃度不純物領域25aおよび35a形成後に、全面に、フッ素をイオン注入しているが、低濃度不純物領域25aおよび35a形成後以外の段階でイオン注入しても良い。例えば、図14に示す素子分離22a、22bおよび22c形成前でも良く、犠牲酸化膜41形成後でも良い。また、図15に示すnウェル領域14bおよび図16に示すpウェル領域14aを形成するためのイオン注入前もしくはイオン注入後にフッ素をイオン注入しても良い。さらに、図15に示すしきい値調整のための砒素（As）のイオン注入前もしくはイオン注入後、および図16に示すしきい値調整のためのボロン（B）のイオン注入前もしくはイオン注入後でも良い。これ以外でも、図17に示すゲート電極24aおよび24b形成前、図24に示すn型の高濃度不純物領域25b形成後、および図25に示すp型の高濃度不純物領域35b形成後でも良い。

【0081】

また、上記実施形態では、コンタクトホール内に、タンクステンからなるプラ

グを直接埋め込んだが、タンゲステンからなるプラグを埋め込む前に、約10nmの厚みを有するTi層と約10nmの厚みを有するTiN層とで構成されるバリア層を形成するようにしても良い。

【0082】

【発明の効果】

以上のように、本発明によれば、しきい電圧の変動が小さく、且つ第1導電型の半導体領域と第2導電型の不純物領域との接合界面近傍に生じる寄生容量が小さい半導体装置を提供することができる。

【0083】

以上のように、本発明によれば、しきい値電圧の変動を抑制しながら、第1導電型の半導体領域と第2導電型の不純物領域との接合界面近傍に生じる寄生容量を低減する半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による半導体装置を示した断面図である。

【図2】

p-n接合近傍へのフッ素イオンの注入量と、p-n接合近傍に生じる寄生容量との関係を示す図である。

【図3】

図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図4】

図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図5】

図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図6】

図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明す

るための断面図である。

【図 7】

図 1 に示した本発明の第 1 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 8】

図 1 に示した本発明の第 1 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 9】

図 1 に示した本発明の第 1 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 10】

図 1 に示した本発明の第 1 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 11】

図 1 に示した本発明の第 1 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 12】

$p-n$ 接合近傍へのフッ素イオンの注入量と、 p チャネルMOSトランジスタのしきい値電圧との関係を示す図である。

【図 13】

本発明の第 2 実施形態による半導体装置を示した断面図である。

【図 14】

図 13 に示した本発明の第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 15】

図 13 に示した本発明の第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 16】

図 13 に示した本発明の第 2 実施形態による半導体装置の製造プロセスを説明

するための断面図である。

【図17】

図13に示した本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図18】

図13に示した本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図19】

図13に示した本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図20】

図13に示した本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図21】

図13に示した本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図22】

図13に示した本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図23】

図13に示した本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図24】

図13に示した本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図25】

図13に示した本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図26】

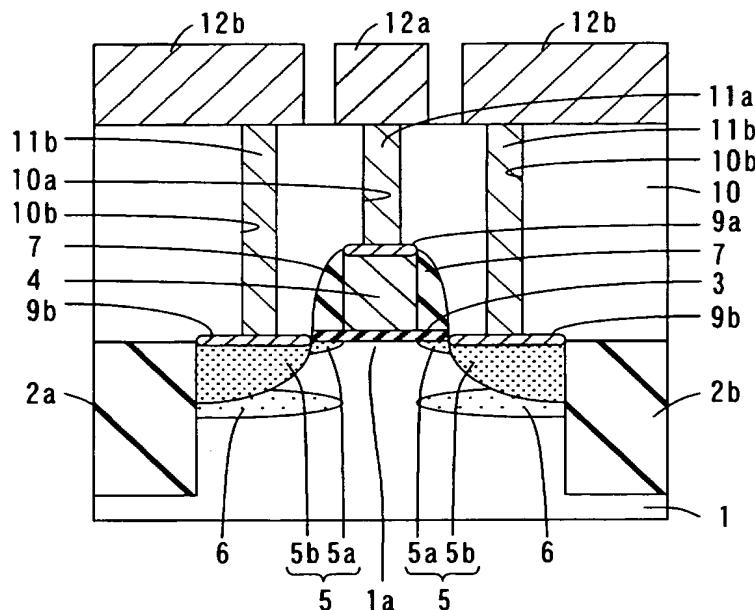
図13に示した本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【符号の説明】

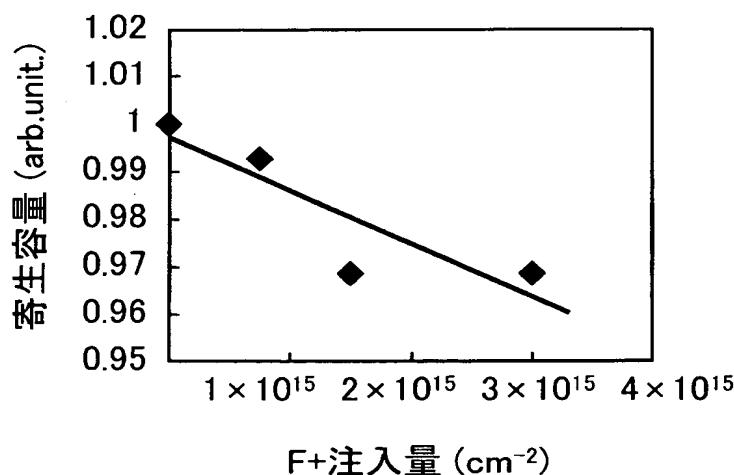
- 1 n型単結晶シリコン基板（半導体領域）
- 1 a、21a、21b チャネル領域
- 3、23 ゲート絶縁膜
- 4、24a、24b ゲート電極
- 5、25、35 ソース／ドレイン領域（不純物領域）
- 5a、25a、35a 低濃度不純物領域
- 5b、25b、35b 高濃度不純物領域
- 6、26a、26b フッ素領域
- 14a pウェル領域
- 14b nウェル領域
- 21 p型単結晶シリコン基板（半導体領域）

【書類名】 図面

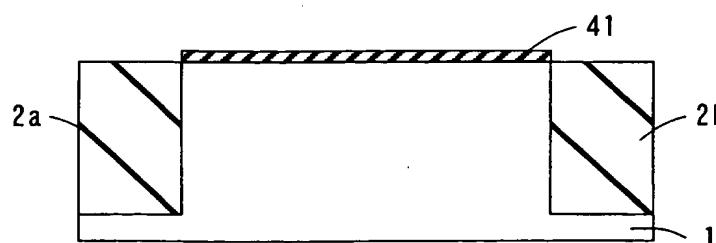
【図1】



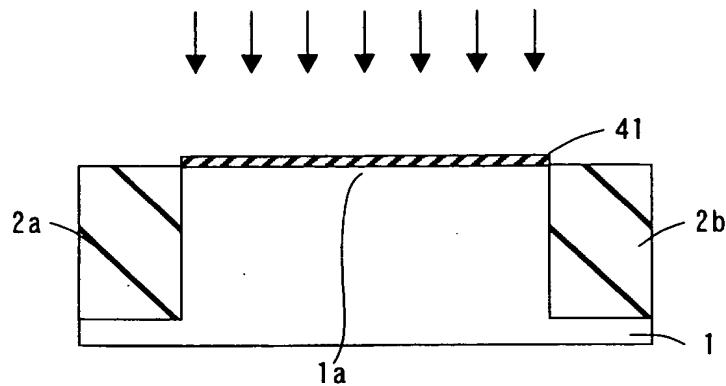
【図2】



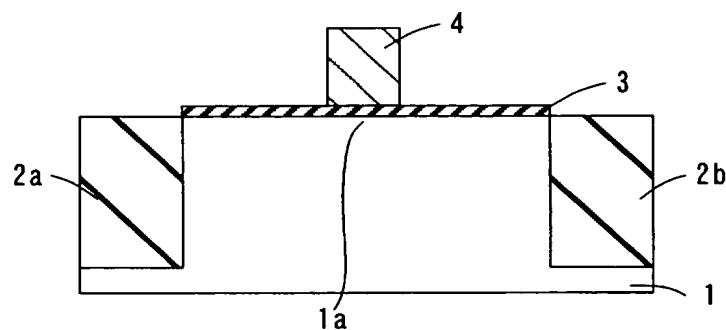
【図3】



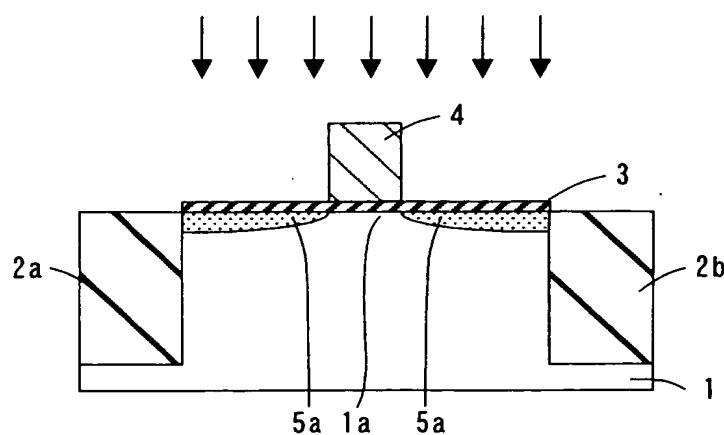
【図4】



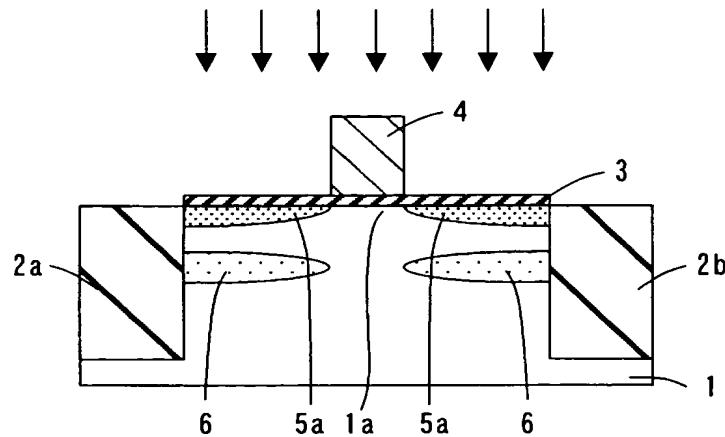
【図5】



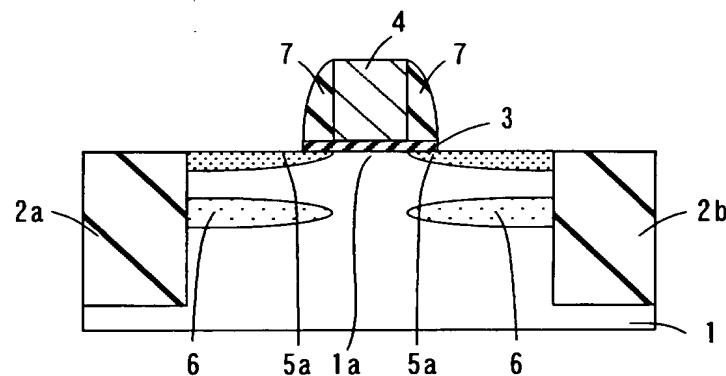
【図6】



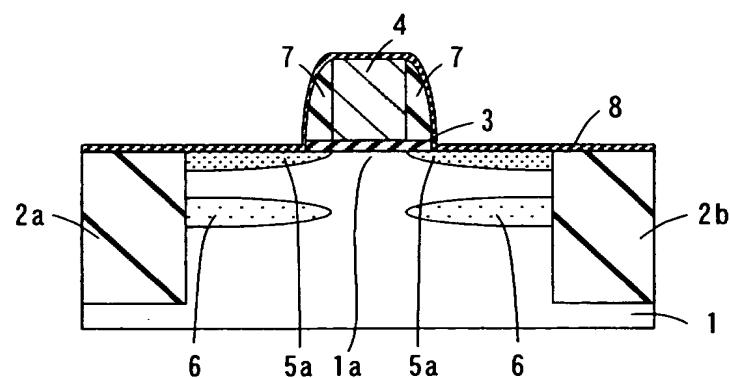
【図 7】



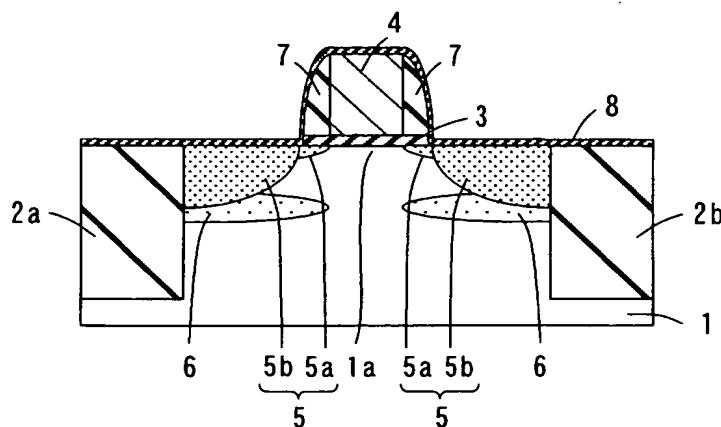
【図 8】



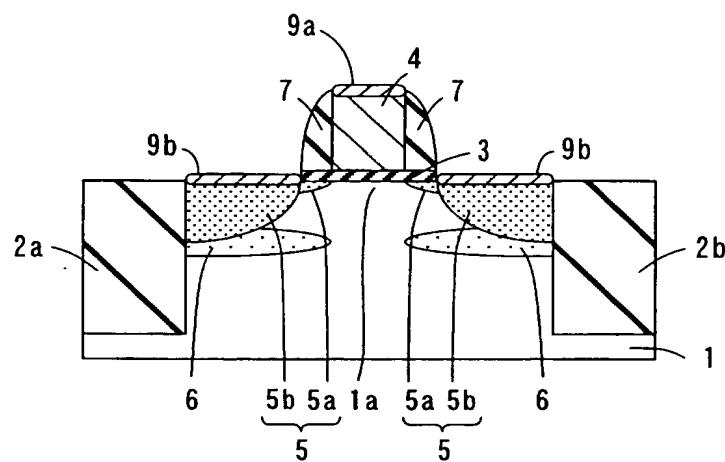
【図 9】



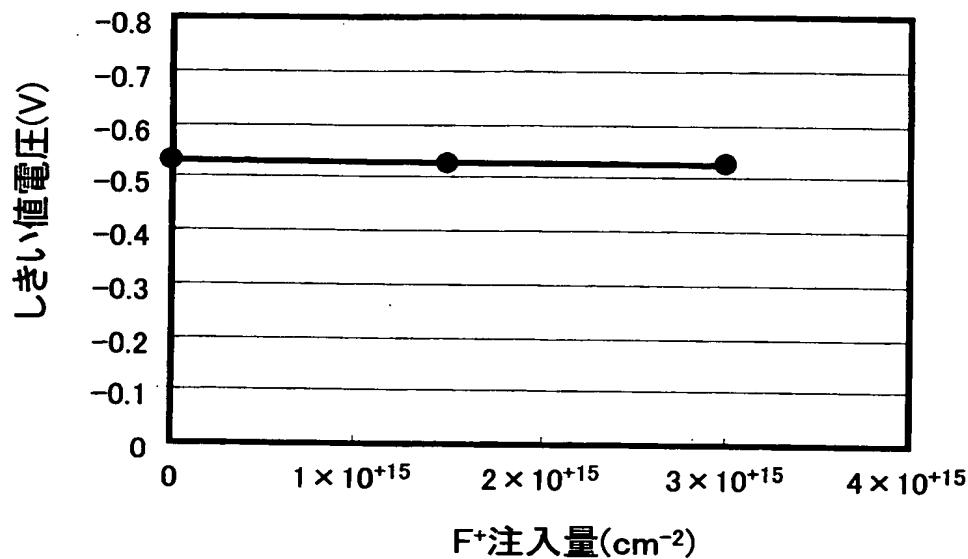
【図 10】



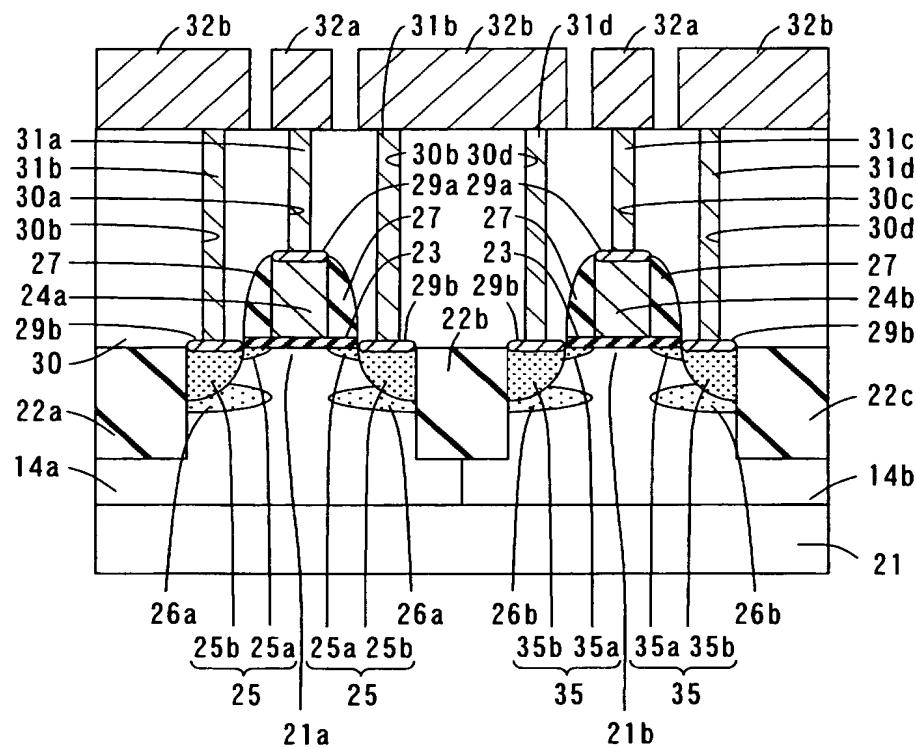
【図 11】



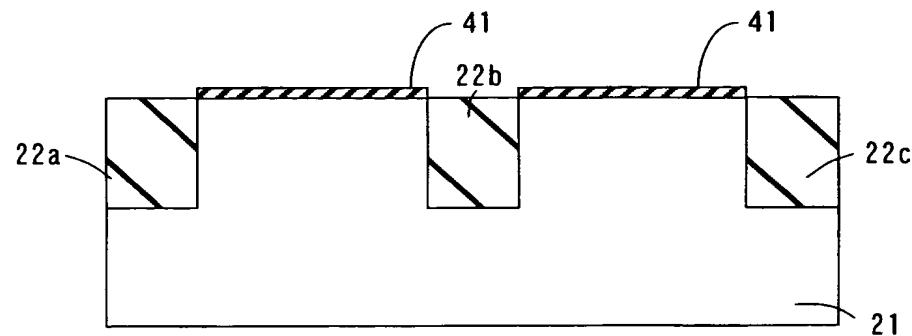
【図 1 2】



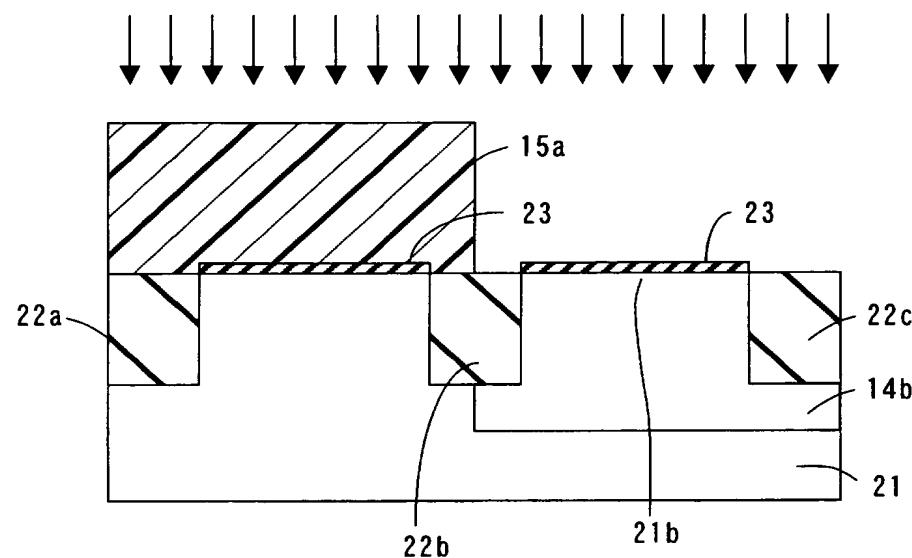
【図 1 3】



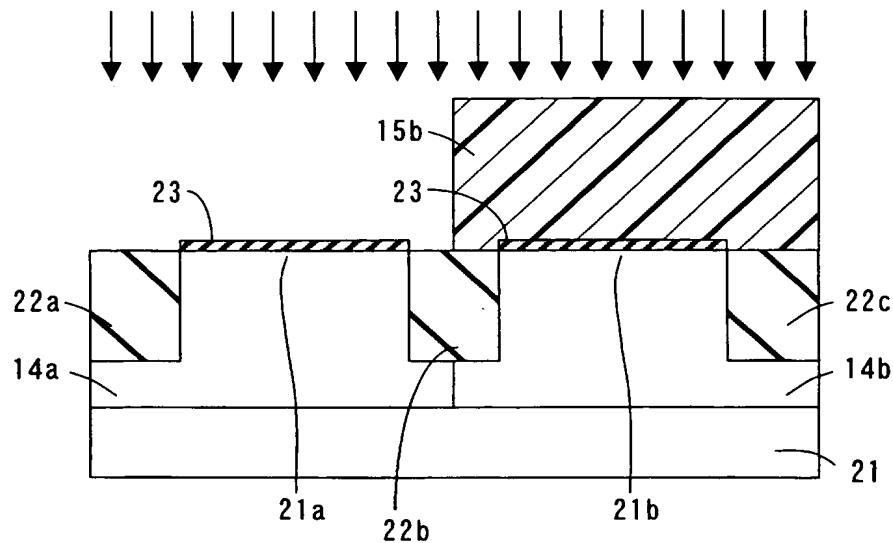
【図14】



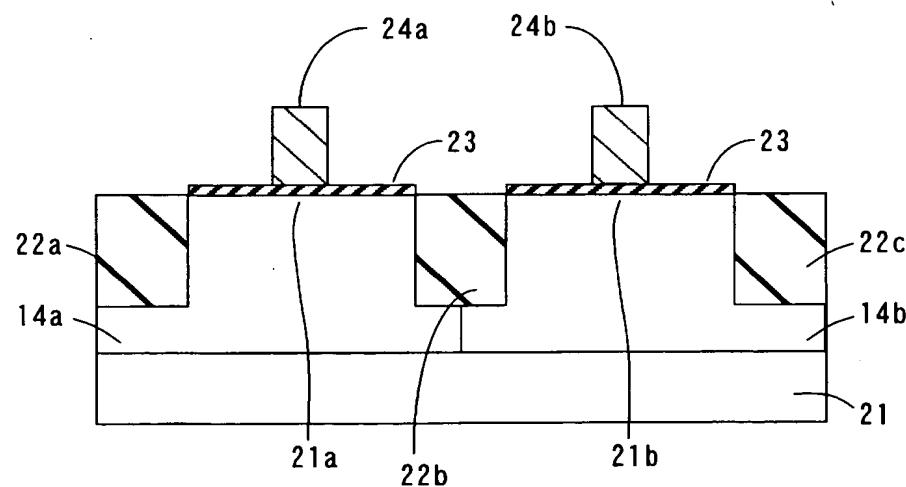
【図15】



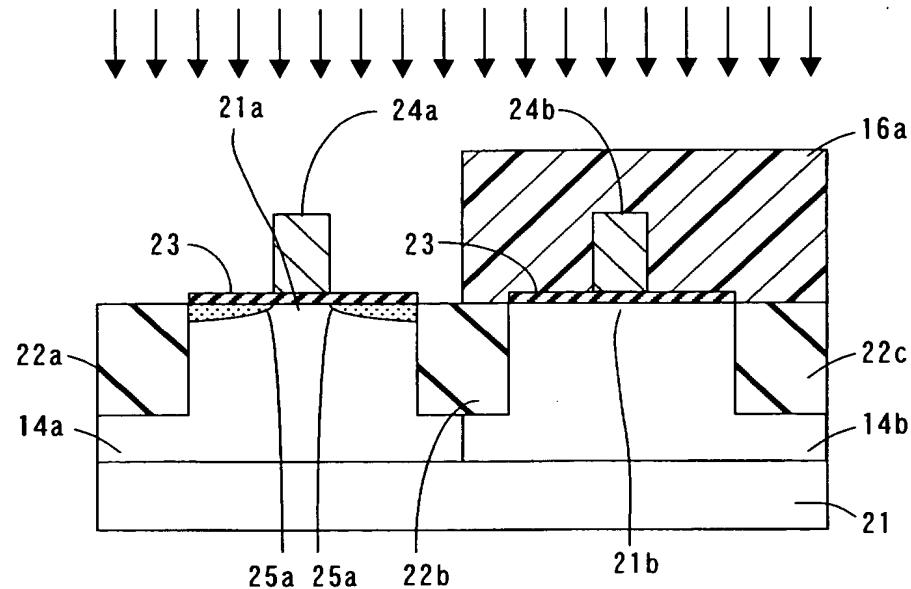
【図16】



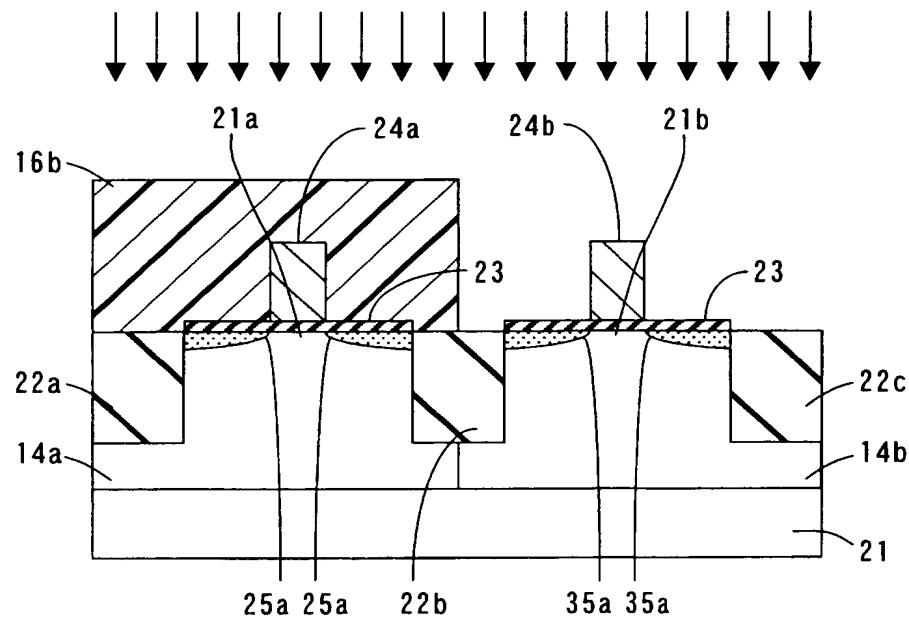
【図17】



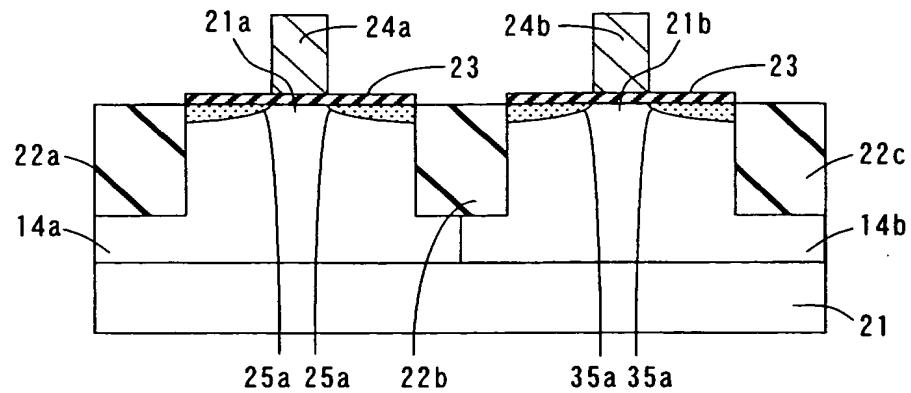
【図18】



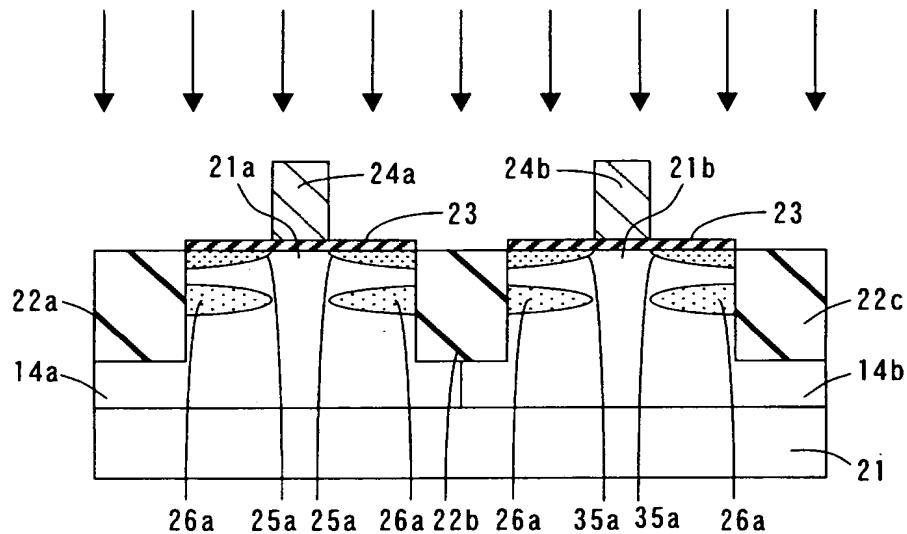
【図19】



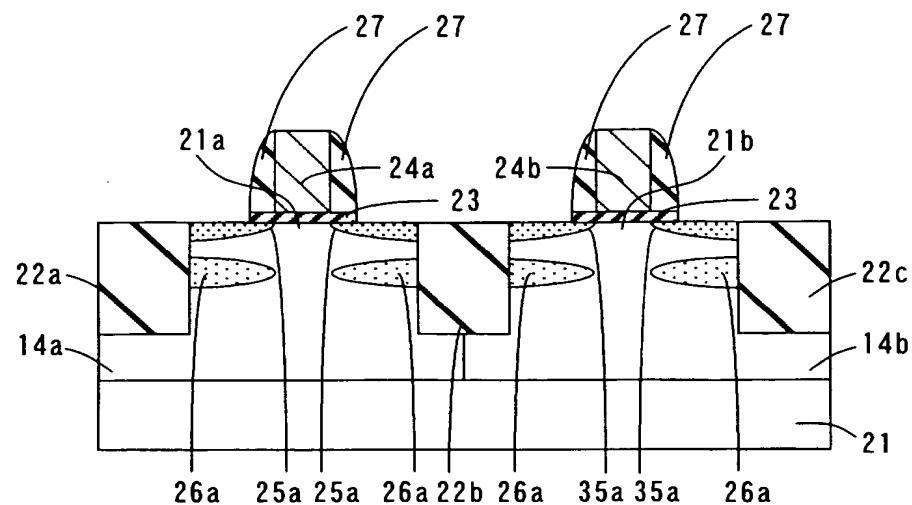
【図20】



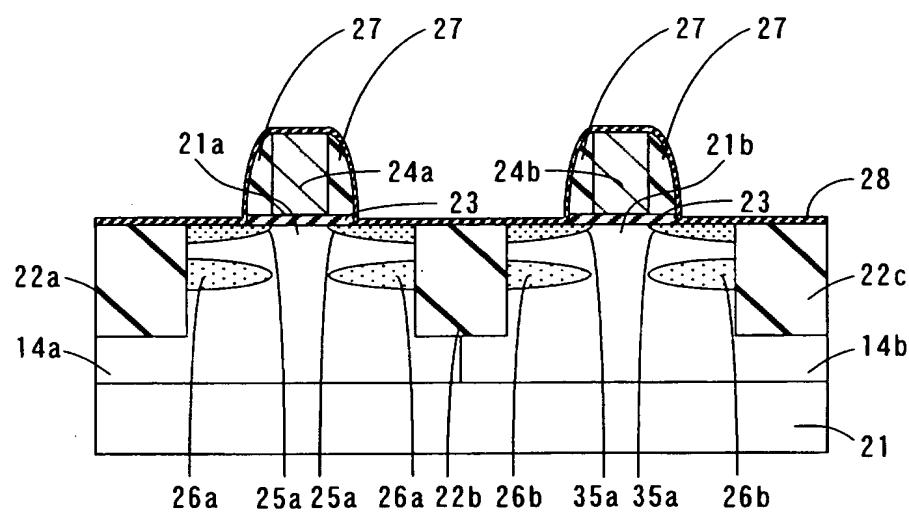
【図21】



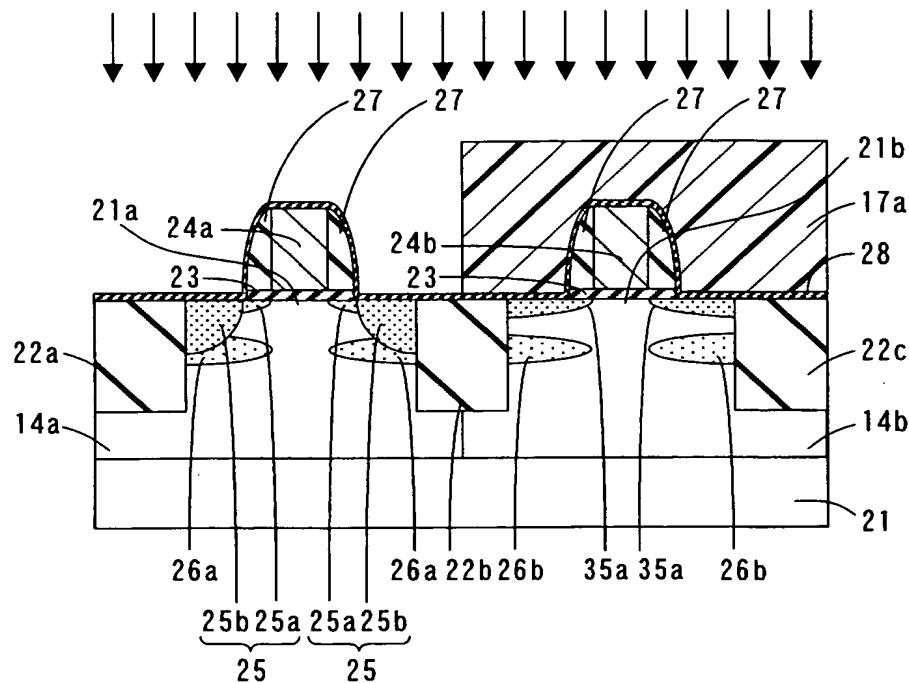
【図22】



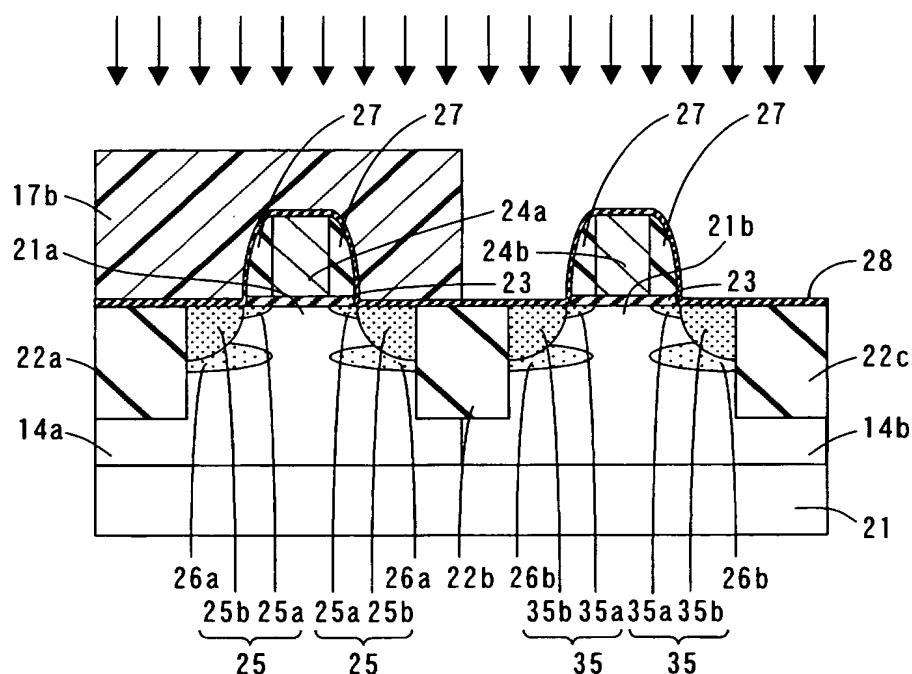
【図23】



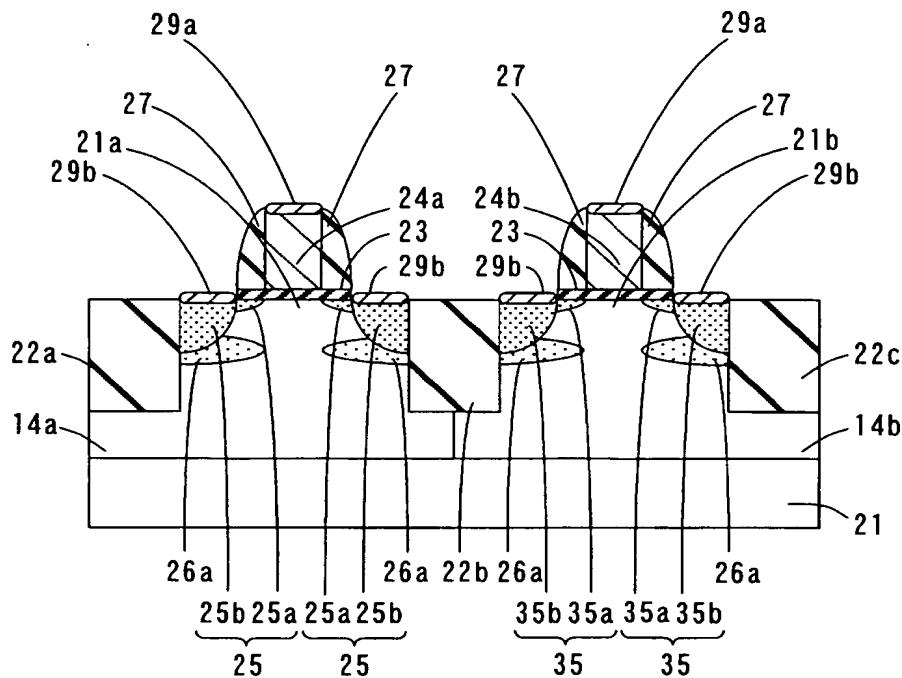
【図24】



【図25】



【図26】



【書類名】 要約書

【要約】

【課題】 しきい値電圧の変動を抑制しながら、ソース／ドレイン領域の寄生容量を低減することが可能な、半導体装置を提供する。

【解決手段】 この半導体装置は、n型単結晶シリコン基板1と、n型単結晶シリコン基板1の主表面に形成されたp型のソース／ドレイン領域5とを備え、n型単結晶シリコン基板1とp型のソース／ドレイン領域5とのpn接合界面を跨ぐように、フッ素導入領域6が形成されている。

【選択図】 図1

特願 2003-093431

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社